

2825
HyPhon
Oiling
9/25/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Toshimitsu Taniguchi et al. Art Unit : Unknown
Serial No. : 09/891,580 Examiner : Unknown
Filed : June 26, 2001
Title : SEMICONDUCTOR DEVICE MANUFACTURING METHOD

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

- Japan Application No. 2000-220697 filed July 21, 2000
- Japan Application No. 2001-076117 filed March 16, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Chris T. Mizumoto
Reg. No. 42,899

Date: August 27, 2001

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30064753.doc

RECEIVED
SEP 13 2001
U.S. MAIL ROOM

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

August 27, 2001

Date of Deposit

Signature

Rose Papetti

Typed or Printed Name of Person Signing Certificate



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2000年 7月21日

出願番号

Application Number:

特願2000-220697

出願人

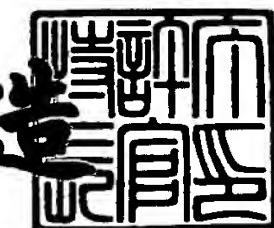
Applicant(s):

三洋電機株式会社

2001年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕



出証番号 出証特2001-3047010

【書類名】 特許願

【整理番号】 KIA1000048

【提出日】 平成12年 7月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 谷口 敏光

【発明者】

【住所又は居所】 新潟県小千谷市千谷甲3000番地 新潟三洋電子株式会社内

【氏名】 降矢 滋行

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話03-3837-7751 法務・知的財産部
東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2000-220697

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体シリコン基板上に形成した第1及び第2のゲート酸化膜上にそれぞれ第1及び第2のMOSトランジスタを形成する半導体装置の製造方法において、

前記半導体シリコン基板上に形成した素子分離膜をマスクに熱酸化して第1及び第2のMOSトランジスタ形成領域上に酸化膜を形成する工程と、

前記酸化膜及び素子分離膜を含む基板全面にシリコン窒化膜を形成した後にフォトレジスト膜をマスクにして前記第1のMOSトランジスタ形成領域上に形成した前記シリコン窒化膜を除去する工程と、

前記シリコン窒化膜をマスクにして前記第1のMOSトランジスタ形成領域上の酸化膜を除去した後に当該シリコン窒化膜をマスクに熱酸化して前記第1のMOSトランジスタ形成領域上に第1のゲート酸化膜を形成する工程と、

前記第2のMOSトランジスタ形成領域上の前記シリコン窒化膜及び前記酸化膜を除去した後に熱酸化して前記第2のMOSトランジスタ形成領域上に第2のゲート酸化膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1のゲート酸化膜は前記第2のゲート酸化膜よりも膜厚が厚く、当該第1のゲート酸化膜上には高耐圧MOSトランジスタが形成され、当該第2のゲート酸化膜上には通常耐圧MOSトランジスタが形成されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記フォトレジスト膜をマスクにしたエッチング工程では、前記基板表層を露出させないことを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、更に言えば、膜厚の異なる複数種の

ゲート酸化膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

以下、従来の半導体装置の製造方法について図面を参照しながら説明する。

【0003】

尚、以下の説明では、半導体シリコン基板上に厚い酸化膜と薄い酸化膜から成る2種類の膜厚を有し、厚い酸化膜上に高耐圧MOSトランジスタを形成し、薄い酸化膜上に通常耐圧MOSトランジスタを形成して成る半導体装置の製造方法を紹介する。

【0004】

先ず、既知のLOCOS技術により一導電型、例えばP型の半導体シリコン基板51上に形成した酸化膜及びシリコン窒化膜をマスクにして、LOCOS膜から成る素子分離膜52を形成する（図4（a）参照）。

【0005】

次に、前記酸化膜及びシリコン窒化膜を除去した後に、図4（b）に示すように前記素子分離膜52をマスクに熱酸化して前記基板51上に厚いゲート酸化膜53を形成する。

【0006】

続いて、図4（c）に示すように一方（高耐圧MOSトランジスタ形成領域上）の厚いゲート酸化膜53上にフォトレジスト膜54を形成した後に、当該レジスト膜54をマスクに他方（通常耐圧MOSトランジスタ形成領域上）の厚いゲート酸化膜53を除去する。

【0007】

更に、前記レジスト膜54を除去した後に、図5（a）に示すように熱酸化して前記厚いゲート酸化膜53が除去された通常耐圧MOSトランジスタ形成領域上に薄いゲート酸化膜55を形成する。

【0008】

そして、図5（b）に示すように厚いゲート酸化膜53及び薄いゲート酸化膜55上にゲート電極用の導電膜を形成した後に、当該導電膜をパターニングして

ゲート電極56A, 56Bを形成する。

【0009】

そして、前記ゲート電極56A, 56Bに隣接するようにそれぞれN型の不純物領域（ソース・ドレイン領域57, 58, 59, 60）を形成し、以下、図示した説明は省略するが、それらを被覆するように層間絶縁膜を形成した後に、前記ソース・ドレイン領域57, 58, 59, 60にコンタクト孔を介して kontaktする金属配線を形成することで、厚いゲート酸化膜53上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜55上に通常耐圧MOSトランジスタを形成している。

【0010】

【発明が解決しようとする課題】

しかしながら上記プロセスでは、厚いゲート酸化膜53をエッチングする時に、素子分離膜52もエッチングされてしまうため（図4（c）の矢印C参照）、当該素子分離膜52が薄くなり、素子分離能力が低下するといった問題があった。

【0011】

また、フォトレジスト膜54をマスクにして厚いゲート酸化膜53をエッチングしているため、半導体シリコン基板51が前記レジスト膜の有機物等で汚染され、その汚染された半導体シリコン基板51上を熱酸化して形成する薄いゲート酸化膜55の膜質の信頼性が低下するといった問題があった。

【0012】

【課題を解決するための手段】

そこで、上記課題に鑑み本発明の半導体装置の製造方法は、半導体シリコン基板上に厚いゲート酸化膜と薄いゲート酸化膜から成る2種類の膜厚を有し、厚いゲート酸化膜上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜上に通常耐圧MOSトランジスタを形成するものにおいて、前記半導体シリコン基板上に形成した素子分離膜をマスクに熱酸化して高耐圧及び通常耐圧MOSトランジスタ形成領域上に酸化膜を形成し、前記酸化膜及び素子分離膜を含む基板全面にシリコン窒化膜を形成した後にフォトレジスト膜をマスクにして前記高耐圧MO

Sトランジスタ形成領域上に形成した前記シリコン窒化膜を除去する。続いて、前記シリコン窒化膜をマスクにして前記高耐圧MOSトランジスタ形成領域上の酸化膜を除去した後に、当該シリコン窒化膜をマスクに熱酸化して前記高耐圧MOSトランジスタ形成領域上に厚いゲート酸化膜を形成する。次に、前記通常耐圧MOSトランジスタ形成領域上の前記シリコン窒化膜及び前記酸化膜を除去した後に、熱酸化して前記通常耐圧MOSトランジスタ形成領域上に薄いゲート酸化膜を形成する工程とを具備したことを特徴とする。

【0013】

また、上記フォトレジスト膜をマスクにしたエッティング工程では、前記基板表層を露出させないことを特徴とする。

【0014】

これにより、従来のような厚いゲート酸化膜をエッティング除去する工程がなくなるため、素子分離膜が薄くなることによる素子分離能力の低下を抑止できる。

【0015】

また、フォトレジスト膜を用いたエッティング時にシリコン基板が露出することがなくなるため、前記レジスト膜によるシリコン基板の汚染を防止できる。

【0016】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法に係る一実施形態について図面を参照しながら説明する。

【0017】

ここで、以下の説明では、半導体シリコン基板上に第1の酸化膜（厚いゲート酸化膜）と第2の酸化膜（薄いゲート酸化膜）から成る2種類の膜厚を有し、厚いゲート酸化膜上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜上に通常耐圧MOSトランジスタを形成して成る半導体装置の製造方法の一例を紹介する。

【0018】

尚、高耐圧MOSトランジスタとして本実施形態ではおよそ30V耐圧用トランジスタを形成し、通常耐圧MOSトランジスタとして本実施形態ではおよそ3

・ 3 V耐圧用トランジスタを形成している。

【0019】

先ず、既知のLOCOS技術により半導体シリコン基板1上に形成した酸化膜及びシリコン窒化膜をマスクにして、LOCOS膜から成る素子分離膜2をおよそ450nmの膜厚で形成する（図1（a）参照）。尚、本実施形態ではP型の半導体シリコン基板1を用いて、以下説明するがN型の半導体シリコン基板を用いた場合も、導電型が異なるだけで同様である。

【0020】

次に、前記酸化膜及びシリコン窒化膜を除去した後に、図1（b）に示すように前記素子分離膜2をマスクに熱酸化して前記基板1上に酸化膜3をおよそ20nmの膜厚で形成し、更に前記素子分離膜2及び前記酸化膜3を含む基板全面にシリコン窒化膜4をおよそ20nmの膜厚で形成する。

【0021】

続いて、図1（c）に示すように前記酸化膜3及びシリコン窒化膜4上の方（通常耐圧MOSトランジスタ形成領域）に形成したフォトレジスト膜5をマスクにして他方（高耐圧MOSトランジスタ形成領域）の酸化膜3上に形成した前記シリコン窒化膜4を除去する。

【0022】

尚、このレジスト膜5を用いたエッチング工程では、基板表層が露出しないため、基板表層がレジスト膜5の有機物等により汚染されることがない。そして、基板表層を露出させる際には、次工程で説明するように前記レジスト膜5を除去した後の前記シリコン窒化膜4をマスクにして行う。

【0023】

次に、図2（a）に示すように前記レジスト膜5を除去した後に、図2（b）に示すように前記シリコン窒化膜4をマスクにして他方の酸化膜3を除去する。尚、この酸化膜3をエッチング除去する際に、素子分離膜2もエッチングされるが、上述したように当該酸化膜3の膜厚はおよそ20nm程度であるため、従来のように厚いゲート酸化膜53（例えば、100nm）をエッチング除去する場合に比して素子分離能力が劣化することはない。

【0024】

続いて、図2(c)に示すように前記シリコン窒化膜4をマスクに熱酸化して前記基板1上に第1の酸化膜(厚いゲート酸化膜)6をおよそ90nm程度で形成する。

【0025】

更に、図3(a)に示すように前記通常耐圧MOSトランジスタ形成領域上のシリコン窒化膜4及び前記酸化膜3を除去した後に、図3(b)に示すように前記基板1を熱酸化して当該通常耐圧MOSトランジスタ形成領域上に第2の酸化膜(薄いゲート酸化膜)7をおよそ7nm程度で形成する。尚、この酸化膜3をエッティング除去する際に、前記素子分離膜2も再びエッティングされるが、このときも当該酸化膜3の膜厚がおよそ20nm程度であるため、エッティング除去される合計膜厚も40nm程度であり、従来のように厚いゲート酸化膜53(例えば、100nm)をエッティング除去した場合に比して素子分離能力が劣化することはない。

【0026】

更に、図3(c)に示すように前記厚いゲート酸化膜6及び薄いゲート酸化膜7上にゲート電極用の導電膜(例えば、ポリシリコン膜あるいはポリシリコン膜とタンクステンシリサイド(WSix)膜との積層膜等)を形成した後に、当該導電膜をパターニングしてゲート電極8A, 8Bを形成する。

【0027】

そして、前記ゲート電極8A, 8Bに隣接するようにそれぞれN型の不純物領域(ソース・ドレイン領域9, 10, 11, 12)を形成し、以下、図示した説明は省略するが、それらを被覆するように層間絶縁膜を形成した後に、前記ソース・ドレイン領域9, 10, 11, 12にコンタクト孔を介してコンタクトする金属配線を形成することで、厚いゲート酸化膜6上に高耐圧MOSトランジスタを形成し、薄いゲート酸化膜7上に通常耐圧MOSトランジスタを形成している。尚、本実施形態では、N型の不純物としてリンイオン、そしてヒ素イオンをイオン注入することで、いわゆるLDD構造のソース・ドレイン領域を形成している。

【0028】

これにより、従来のような厚いゲート酸化膜をエッチング除去する工程がなくなるため、素子分離膜が薄くなることによる素子分離能力の低下を抑止できる。

【0029】

また、フォトレジスト膜を用いたエッチング時に半導体シリコン基板が露出することがなくなるため、シリコン基板が当該レジスト膜の有機物等により汚染されることはないと、その後に形成されるゲート酸化膜の膜質の信頼性が向上する。

【0030】

【発明の効果】

本発明によれば、従来のような厚いゲート酸化膜をエッチング除去する工程がなくなるため、素子分離膜が薄くなることによる素子分離能力の低下を抑止することができる。

【0031】

また、フォトレジスト膜を用いたエッチング時に半導体シリコン基板が露出することがなくなるため、シリコン基板の汚染を防止でき、当該シリコン基板上に形成するゲート酸化膜の膜質が向上する。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

従来の半導体装置の製造方法を示す断面図である。

【図5】

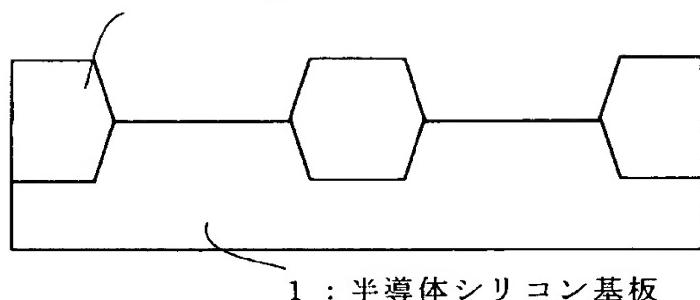
従来の半導体装置の製造方法を示す断面図である。

【書類名】 図面

【図1】

(a)

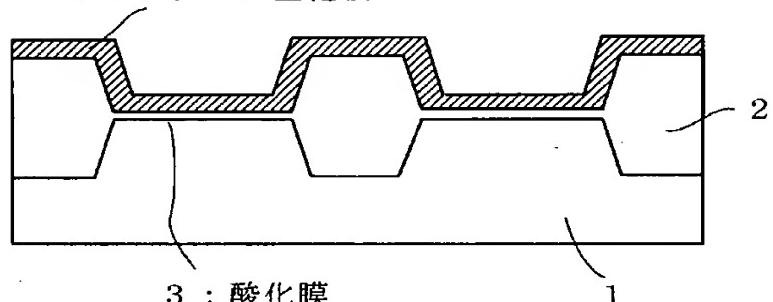
2 : 素子分離膜



1 : 半導体シリコン基板

(b)

4 : シリコン窒化膜

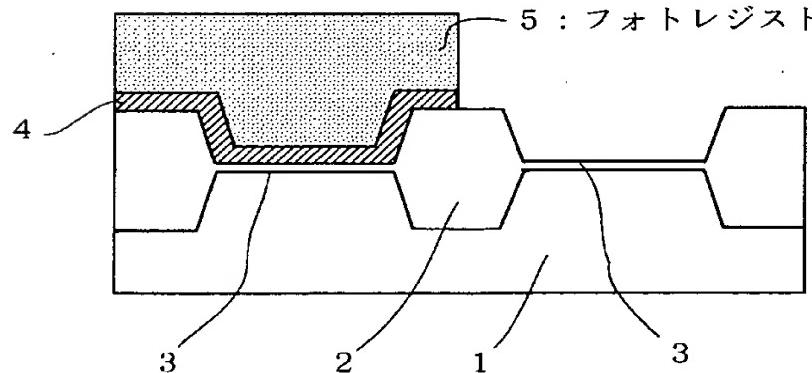


3 : 酸化膜

1

(c)

5 : フォトレジスト膜



3

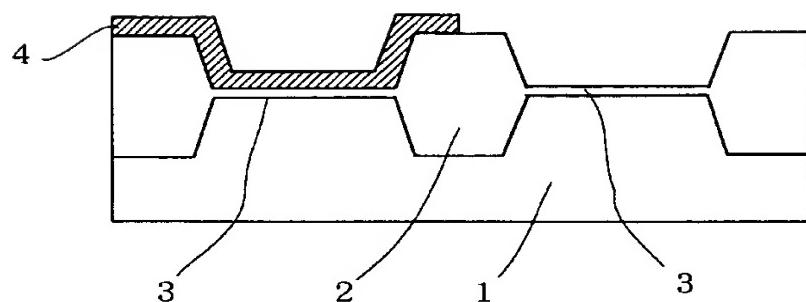
2

1

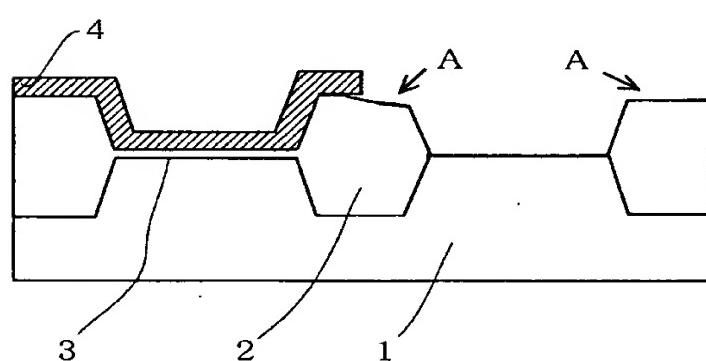
3

【図2】

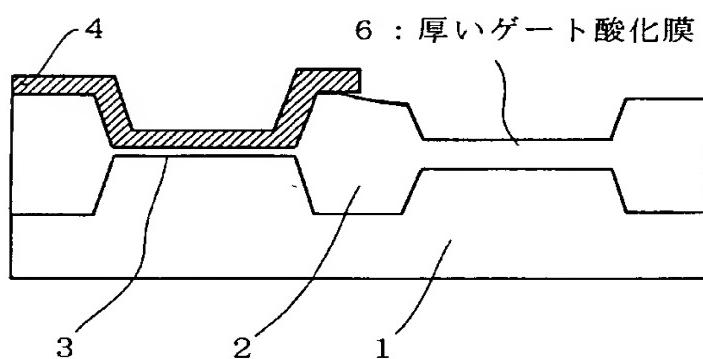
(a)



(b)

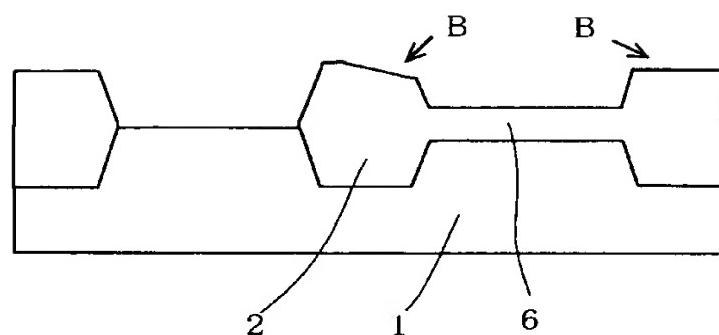


(c)



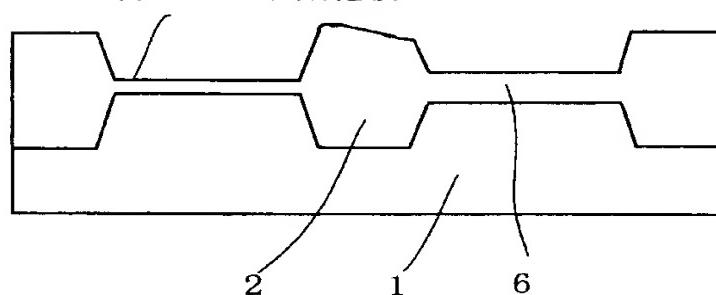
【図3】

(a)



(b)

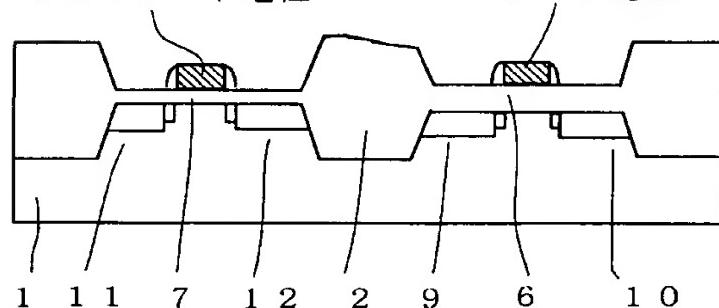
7：薄いゲート酸化膜



(c)

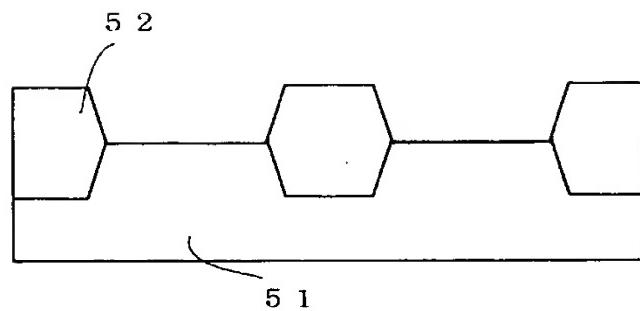
8B：ゲート電極

8A：ゲート電極

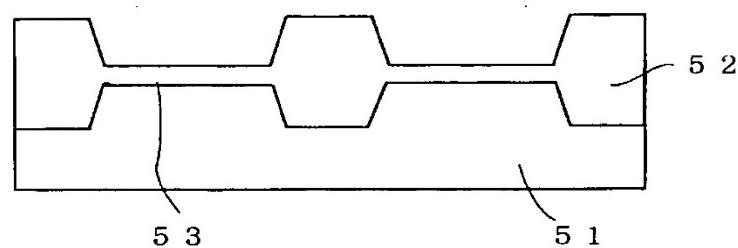


【図4】

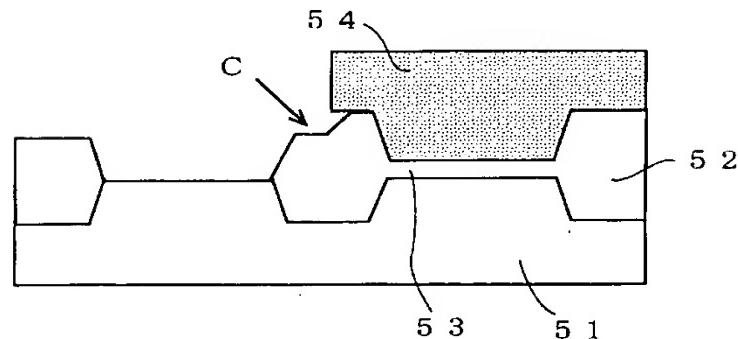
(a)



(b)

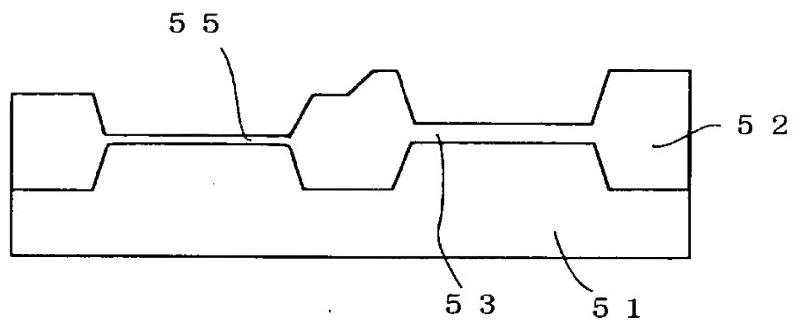


(c)

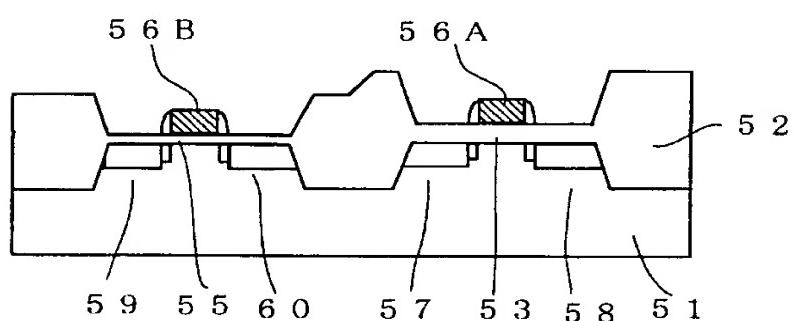


【図5】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 膜厚の異なるゲート酸化膜を形成する。

【解決手段】 半導体シリコン基板上に形成した素子分離膜をマスクに熱酸化して高耐圧及び通常耐圧MOSトランジスタ形成領域上に酸化膜を形成し、前記酸化膜及び素子分離膜を含む基板全面にシリコン窒化膜を形成した後にフォトレジスト膜をマスクにして前記高耐圧MOSトランジスタ形成領域上に形成した前記シリコン窒化膜を除去する。続いて、前記シリコン窒化膜をマスクにして前記高耐圧MOSトランジスタ形成領域上の酸化膜を除去した後に、当該シリコン窒化膜をマスクに熱酸化して前記高耐圧MOSトランジスタ形成領域上に厚いゲート酸化膜を形成する。次に、前記通常耐圧MOSトランジスタ形成領域上の前記シリコン窒化膜及び前記酸化膜を除去した後に、熱酸化して前記通常耐圧MOSトランジスタ形成領域上に薄いゲート酸化膜を形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社